

Method for manufacturing a silicon layer having increased surface area

Patent Number: US5232876

Publication date: 1993-08-03

Inventor(s): KIM JAE-K (KR); KO CHUL G (KR)

Applicant(s): HYUNDAI ELECTRONICS IND.
(KR)

Requested Patent: JP4288871

Application

Number: US19910781992 19911023

Priority Number(s): KR19900017094 19901025

IPC Classification: H01L21/469

EC Classification: H01L21/02B3C2B

Equivalents: JP2648990B2, KR9304110

RECEIVED
JUN 11 2003
GROUP 1700

Abstract

The invention relates to a process for increasing the surface area of a silicon layer for a charge storage electrode by forming a silicon layer having a highly granulated surface and which comprises depositing an alloy layer comprising an A-material 2X and a B-material 2Y on a first insulating layer 1 which is deposited on a substrate. The depositing of the alloy layer takes place at a predetermined temperature to form a plurality of B-material 2Y precipitations on the insulating layer 1 and an A-material 2X layer on the plurality of B-material 2Y precipitations and on a plurality of first insulating layer surfaces not covered by the plurality of B-material 2Y precipitations. The resulting structure is then cooled, preferably to room temperature. The solubility of the B-material 2Y, which may be considered as the solute, is extremely limited in the A-material 2X, which may be considered as the solvent. The A-material 2X is selectively removed from the plurality of first insulating layer surfaces and from the plurality of B-material 2Y precipitations deposited on the insulating layer 1 to expose the plurality of first insulating layer surfaces and the plurality of B-material 2Y precipitations deposited on the first insulating layer to define a highly granulated surface. A silicon layer 3 for charge storage electrode is deposited on the resulting surface comprising the highly granulated surface thereby forming a highly granulated silicon surface to provide, in use, a conducting layer for charge storage electrode whereby the capacitance of the capacitor for a semiconductor device is increased per unit area.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-288871

(43)公開日 平成4年(1992)10月13日

(51)Int.Cl.
H 01 L 27/108

識別記号
27/04
29/44

27/04
Z 7738-4M
8728-4M

F I

H 01 L 27/10

技術表示箇所

3 2 5 M

審査請求 未請求 請求項の数9(全5頁)

(21)出願番号 特願平3-277652

(22)出願日 平成3年(1991)10月24日

(31)優先権主張番号 90-17094

(32)優先日 1990年10月25日

(33)優先権主張国 韓国(KR)

(71)出願人 591024111

現代電子産業株式会社

HYUNDAI ELECTRONICS
INDUSTRIES COMPANY
LIMITED

大韓民国京畿道利川郡夫鉢邑牙美里山136
-1

(72)発明者 金載甲

大韓民国京畿道利川郡夫鉢邑牙美里山148
-1、現代電子社員アパートメント、106
棟、305号

(74)代理人 弁理士 深見 久郎 (外4名)

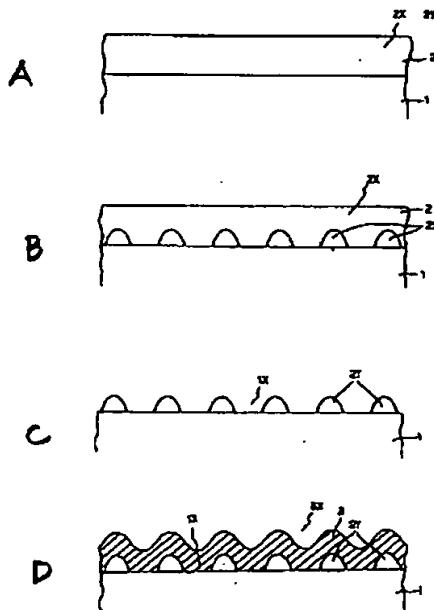
最終頁に続く

(54)【発明の名称】表面積が極大化された電荷保存電極用シリコン層製造方法

(57)【要約】 (修正有)

【目的】高集積半導体メモリ素子の電荷蓄積電極用シリコン層に適用することができる表面積が極大化されたシリコン層製造方法に関する。

【構成】第1絶縁層1を提供する段階と、前記絶縁層上部に2つ以上の物質2X, 2Yからなる合金層を形成する段階と、前記1つの物質2Yだけが前記第1絶縁層上部に沈積されて他の物質と区分できるようにする段階と、前記第1絶縁層の一部1Xを露出させる段階と、前記全体構造の上部にシリコン層3を形成して、それにより単位面積当たりの表面が増大するよう凸凹な表面を有するシリコン層3を形成する段階とを含むことを特徴とする。



【特許請求の範囲】

【請求項1】 表面積が極大化された電荷保存電極用シリコン層製造方法であって、第1絶縁層を提供する段階と、前記絶縁層上部に2つ以上の物質からなる合金層を形成する段階と、前記1つの物質は溶解され、他の物質は溶解されないように前記合金層を熱処理し、それによって前記1つの物質だけが前記第1絶縁層上部に沈殿されて他の物質と区別できるようにする段階と、前記第1絶縁層上部に沈殿された物質だけが残るように前記他の物質を除去して、前記第1絶縁層の一部を露出させる段階と、前記全体構造の上部にシリコン層を形成して、それにより単位面積当たりの表面積が増大するように凹凸の表面を有するシリコン層を形成する段階とを含むことを特徴とする、電荷保存電極用シリコン層製造方法。

【請求項2】 前記合金層は、1つの物質はアルミニウムであり、他の物質は前記アルミニウムの含量に対して1ないし30%程度の含量を添加したシリコンである二元系Al-Si合金層であることを特徴とする、請求項1記載の電荷保存電極用シリコン層製造方法。

【請求項3】 前記第1絶縁層上部に沈殿された物質だけを残して他の物質を除去する段階は、前記物質のエッチング率が他の物質のエッチング率より大きいエッチング率で前記物質だけをエッチングすることを特徴とする、請求項1記載の電荷保存電極用シリコン層製造方法。

【請求項4】 前記物質だけを除去した全体構造の上部とシリコン層との間に第2の絶縁層を形成する段階を含むことを特徴とする、請求項1記載の電荷保存電極用シリコン層製造方法。

【請求項5】 前記合金層は三元系Al-Cu-Si合金層であることを特徴とする、請求項1記載の電荷保存電極用シリコン層製造方法。

【請求項6】 表面積が極大化された電荷保存電極用シリコン層製造方法であって、第1絶縁層を提供する段階と、前記絶縁層上部に2つ以上の物質からなる合金層を形成する段階と、前記1つの物質は溶解され、他の物質は溶解されないように前記合金層を共通処理し、それにより前記1つの物質だけが前記第1絶縁層上部に沈殿され他の物質と区別されるようにする段階と、前記第1絶縁層上部に沈殿された物質だけが残るように前記他の物質を除去し、前記第1絶縁層の一部を露出させる段階と、前記露出された第1絶縁層をエッチングして多数の溝を形成する段階と、前記第1絶縁層に残っていた沈殿された物質を除去する段階と、前記第1絶縁層および多数の溝を含む全体構造上部にシリコン層を形成し、それによって単位面積当たりの表面積が増大されるように凹凸の表面を有するシリコン層を形成する段階とを含むことを特徴とする、電荷保存電極用シリコン層製造方法。

【請求項7】 前記合金層は、1つの物質はアルミニウム

ムであり、他の物質は上記アルミニウムの含量に対して1ないし30%程度の含量を添加したシリコンである二元系Al-Si合金層であることを特徴とする、請求項6記載の電荷保存電極用シリコン層製造方法。

【請求項8】 前記第1絶縁層上部に沈殿された物質だけを残して他の物質を除去する段階は、前記物質のエッチング率が他の物質のエッチング率より大きいエッチング率で前記物質だけをエッチングすることを特徴とする、請求項6記載の電荷保存電極用シリコン層製造方法。

【請求項9】 前記合金層は三元系Al-Cu-Si合金層であることを特徴とする、請求項6記載の電荷保存電極用シリコン層製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、高集積半導体メモリ素子の電荷保存電極用シリコン層に適用することができる表面積が極大化されたシリコン層製造方法に関するものであり、特に、導電層表面を凸凹に形成して導電層の表面積を極大化させる電荷蓄積電極用シリコン層製造方法に関するものである。

【0002】 一般的に、半導体メモリ素子の集積度が増加するに従って単位セルが構成される面積が減少するようになる。それで、たとえ上記の面積が小さくなつてもキャパシタ容量を一定値以上に保持するため電荷蓄積電極の表面積を増加させなければならない。

【0003】 したがって、本発明の目的は、電荷蓄積電極の表面積を増加させるため基板表面の形態を凸凹に変化させ表面積が極大化された電荷蓄積電極シリコン層製造方法を提供することである。

【0004】 この発明によれば、表面積が極大化されたシリコン層を形成するため、A物質に対してB物質の溶解度が極めて制限される二元系A-B合金層、または、A物質およびB物質に対してC物質の溶解度が制限される三元系A-B-C合金層を利用する。二元系合金層、たとえば、Al-I-Si合金層を用いて基板に蒸着して予め定められた温度で熱処理した後、室温に下げるときAl物質がSi物質に対して分離され基板に析出される。また、分離されたAl物質とSi物質の異なるエッチング選択性を利用してAl物質をエッチングすると、Al物質は除去されエッチングされないSi物質の析出物が凸凹の粗表面を形成することになる。このような粗表面上部に、さらに、電荷蓄積電極用導電層のシリコン層を蒸着させることにより、結果、シリコン層の表面積を極大化させることができる。

【0005】 また、上記のような方法で本発明も二元系A-B合金層だけでなく、三元系合金層、または、それ以上の合金層でも適用することができる。すなわち、A物質およびB物質に対して溶解液が制限されたC物質か

らなるA-B-C三元系合金層を選択して基板に蒸着し、予め定められた温度で熱処理をなした後、室温に下げるときC物質だけが基板に析出する。その後、上記物質等のエッティング選択比が異なる点を利用して、分離されたA物質およびB物質をエッティングすると析出されたC物質だけ基板上に残るようになり基板は凸凹の形態となる。したがって、前記基板上部にシリコン層を蒸着すると、結局シリコン基板の表面積を増大させることができる。前記三元系合金層は、たとえば、CuはA1含量の0.5%、SiはA1含量の1%を添加したAl-Cu-Si合金を利用し約450°C程度で熱処理し、Al-Cuをエッティングする溶液はH₃PO₄を利用することができます。

【0006】この発明による表面積が極大化された電荷保存電極用シリコン層製造方法によると、第1絶縁層を提供する段階と、前記絶縁層上部に2つ以上の物質からなる合金層を形成する段階と、前記1つの物質は溶解され他の物質は溶解されないように前記合金層を熱処理し、それによって前記1つの物質だけが前記第1絶縁層上部に沈殿されて他の物質と区分する段階と、前記第1絶縁層上部に沈殿された物質だけが残るよう前に記他の物質を除去して、前記第1絶縁層の一部を露出させる段階と、前記全体構造の上部にシリコン層を形成して、それにより単位面積当たりの表面積が増大するように凹凸な表面を有するシリコン層を形成する段階とを含むことを特徴とする。

【0007】また、この発明による表面積が極大化された電荷保存電極用シリコン層製造方法の一実施例によると、第1絶縁層を提供する段階と、前記絶縁層上部に2つ以上の物質からなる合金層を形成する段階と、前記1つの物質は溶解され他の物質は溶解されないように前記合金層を熱処理し、それにより前記1つの物質だけが前記第1絶縁層上部に沈殿され他の物質と区分されるようにする段階と、前記第1絶縁層上部に沈殿された物質だけ残るよう前に記他の物質を除去し、前記第1絶縁層の一部を露出させる段階と、前記露出された第1絶縁層をエッティングして多数の溝を形成する段階と、前記第1絶縁層上に残っていた沈殿された物質を除去する段階と、前記第1絶縁層および多数の溝を含む全体構造上部にシリコン層を形成し、それによって単位面積当たりの表面積が増大されるように凹凸な表面を有するシリコン層を形成する段階とを含むことを特徴とする。

【0008】この発明による前記合金層は1つの物質はアルミニウムであり、他の物質は前記アルミニウムの含量に対して1ないし30%程度の含量を添加したシリコンである二元系Al-Si合金層であることを特徴とする。

【0009】この発明による前記第1絶縁層上部に沈殿された物質だけを残して他の物質を除去する段階は、前記物質のエッティング率が他の物質のエッティング率より大き

いエッティング率で前記物質だけをエッティングすることを特徴とする。

【0010】この発明による前記合金層は三元系Al-Cu-Si合金層を含むことを特徴とする。

【0011】以下に、添付図面を参照して本発明を詳細に説明する。図1(A)ないし図1(D)は、この発明の第1実施例によって表面積が極大化された電荷保存電極用導電層のシリコン層を形成する製造段階である。

【0012】図1(A)は第1絶縁層1の上部に二元系Al-B合金層2(たとえば、Al-Si合金層)を形成した状態の断面図である。ここでA物質に対するB物質の溶解度が極めて制限されており、B物質の含量は自体の溶解度の以上になるべきである。ここで注目すべきことは、たとえば、A物質はアルミニウム(A1)を用いB物質はシリコン(Si)を用いる場合(アルミニウムでシリコンの溶解度は400°Cでほぼ0.5%である)、アルミニウムの含量に対してシリコンは1ないし30%程度の含量を添加することができる。

【0013】図1(B)は、前記二元系Al-B合金層を予め定められた温度で熱処理することで、自体の溶解度以上のB物質は図示のように第1絶縁層1上部に析出されてA物質と区分される状態の断面図である。このとき、熱処理過程は二元系Al-Si合金層2を蒸着する間に熱処理することができる。Al-Si合金層の場合は200ないし550°Cの温度で熱処理を行なう。

【0014】図1(C)は、前記第1絶縁層1の上部にA物質(2X)とB物質(2Y)に区分されたAl-B合金層2からA物質(2X)を除去するため、A物質(2X)のエッティング率がB物質(2Y)のエッティング率より大きいエッティング率で、A物質(2X)をエッティングしてB物質(2Y)だけ第1絶縁層1上部に残し第1絶縁層1の一部を露出させた状態の断面図である。したがって、絶縁層1の表面(1X)は甚だ凹凸に形成される。このとき、Al-Si合金層の場合はH₃PO₄の溶液でエッティングすることでAlだけエッティングしSiは残るようになることができる。また、C1(塩酸)を含むドライエッティング工程によってもAlすべてをエッティングし、一定部分のSiだけを残すようにすることができる。

【0015】図1(D)は図1(C)の工程によって前記一部が露出された第1絶縁層1およびB物質(2Y)上部に全体的に電荷保存電極用シリコン層3を所定の厚さで形成した状態の断面図である。第1絶縁層1上に残っているB物質(2Y)によって形成されたシリコン層3の表面(3X)は凸凹の状態となり、結果的にシリコン層(3)の表面積を増大させることができる。したがって、前記構造のシリコン層3を電荷保存電極用導電層に用いる場合、単位面積当たりのキャパシタ容量を増大させることができる。

【0016】図2は、上述の図1(A)ないし(C)の

5

工程を順次的に実施して第1絶縁層1上部にB物質(2Y)が形成された後に、この発明の第2実施例によって前記第1絶縁層1およびB物質(2Y)を含む全体表面(1X)上部に第2絶縁層4を一定の厚さに形成した状態の断面図である。前記第2絶縁層4の上部にシリコン層5を一定の厚さに形成して前記B物質(2Y)とシリコン層5間の接触を防止しながら凸凹な表面5Xを有するシリコン層5を形成する。

【0017】図3は、上記の図1(A)ないし(C)の工程を順次的に実施して第1絶縁層1の上部にB物質(2Y)が形成された後に、この発明の第3実施例によって、露出された第1絶縁層1をエッチングして多数の溝10を形成し、次に、第1絶縁層1上に残っていたB物質(2Y)を除去し、第1絶縁層1および多数の溝10上部に全体的に所定厚さのシリコン層6を形成して凸凹な表面6Xを有するシリコン層6が形成されるのを示す。

6

【0018】上述のように、この発明によれば、表面積を極大化させた導電層を電荷蓄積電極形成方法に利用する場合、単位面積当たりのキャパシタ容量を増加させることができ、半導体素子の集積度を向上させることができる。

【図面の簡単な説明】

【図1】(A)ないし(D)は、本発明の第1実施例により表面積が極大化されたシリコン層製造段階を示す断面図。

【図2】本発明の第2実施例により表面が極大化されたシリコン層を形成した状態の断面図。

【図3】本発明の第3実施例により表面積が極大化されたシリコン層を形成した状態の断面図。

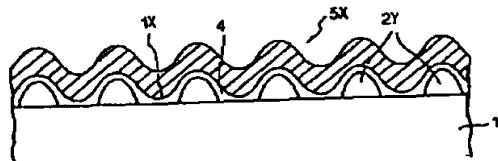
【符号の説明】

1: 第1絶縁層 2: 二元系A-B合金層 2

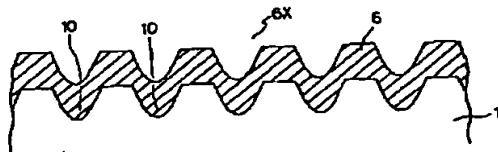
X: A物質 2Y: B物質 3: シリコン層

4: 第2絶縁層 5: シリコン層

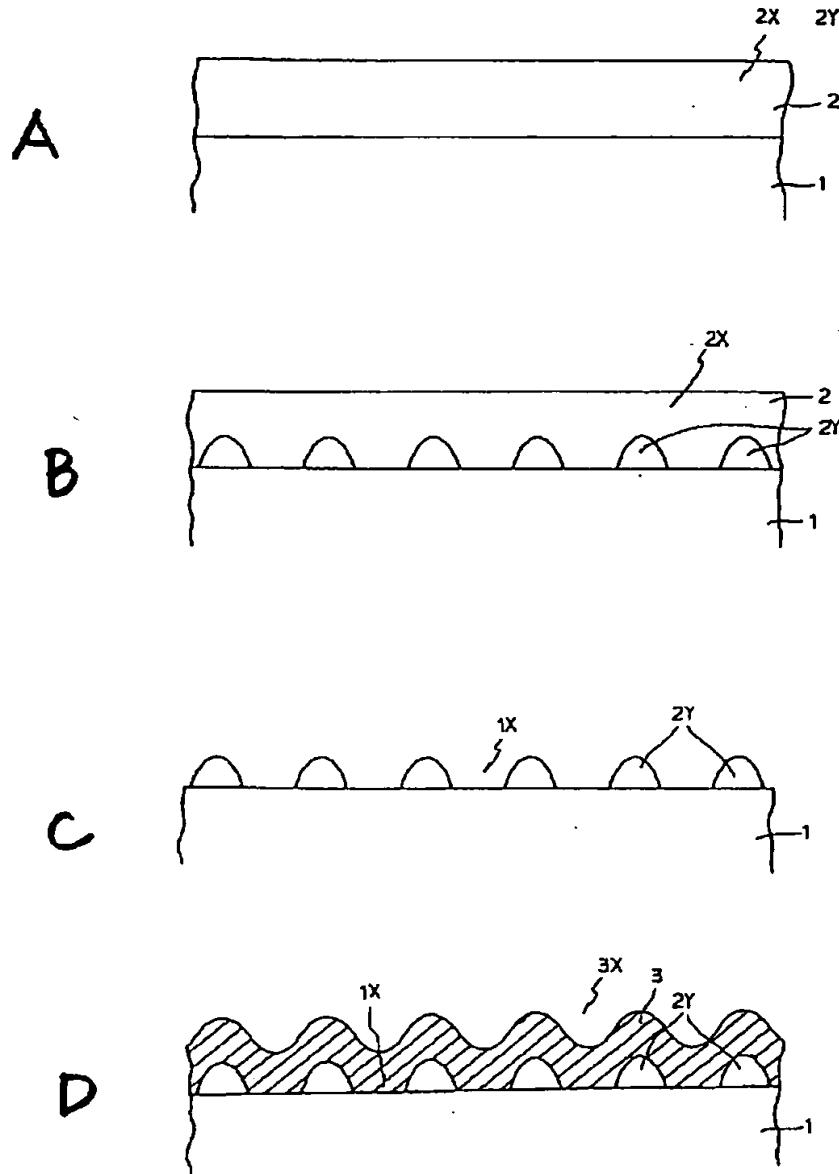
【図2】



【図3】



【図1】



フロントページの綴き

(72)発明者 高哲基
大韓民国ソウル特別市江東区明逸洞住公ア
パートメント、903洞、204号